

Family list  
2 family members for: **JP6118441**  
Derived from 2 applications

- |          |   |  |
|----------|---|--|
| <b>1</b> | <b>DISPLAY CELL</b><br><b>Inventor:</b> KATO TADANOBU<br><b>EC:</b> G02F1/1368<br><b>Publication info:</b> <b>JP6118441 A</b> - 1994-04-28      | <b>Applicant:</b> KATO TADANOBU<br><b>IPC:</b> <i>G02F1/136; G02F1/1368; H01L21/02</i> (+10)     |
| <b>2</b> | <b>Flat display</b><br><b>Inventor:</b> KATO TADANOBU (JP)<br><b>EC:</b> G02F1/1368<br><b>Publication info:</b> <b>US5339180 A</b> - 1994-08-16 | <b>Applicant:</b> KATO TADANOBU (JP)<br><b>IPC:</b> <i>G02F1/136; G02F1/1368; H01L21/02</i> (+9) |

Data supplied from the *esp@cenet* database - Worldwide

## DISPLAY CELL

Patent number: JP6118441  
Publication date: 1994-04-28  
Inventor: KATO TADANOBU  
Applicant: KATO TADANOBU  
Classification:  
- international: G02F1/136; G02F1/1368; H01L21/02; H01L21/336; H01L27/12; H01L29/78; H01L29/786; G02F1/13; H01L21/02; H01L27/12; H01L29/66; (IPC1-7): G02F1/136; H01L29/784  
- european: G02F1/1368  
Application number: JP19910350543 19911105  
Priority number(s): JP19910350543 19911105

Also published as:

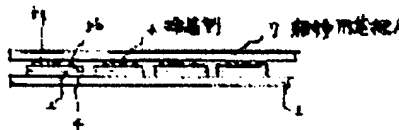


US5339180 (A1)

[Report a data error here](#)

### Abstract of JP6118441

**PURPOSE:** To enable the low cost supply of a large-screen display cell provided with Trs in respective display picture elements. **CONSTITUTION:** The respectively independent Trs are tightly formed on a highly heat resistant high-polymer film 1, consisting of polyimide, etc., and after these Trs are adhered to another transfer substrate 7, the above-mentioned high-polymer film 1 is etched away. On the other hand, lead wires connecting the respective Trs are previously formed on a display substrate for a large area. The previous Trs are transferred to the positions corresponding to the lead wires of this display substrate while these Trs are electrically connected. The dense Trs are transferred in compliance with the display pitch and the transfer substrate 7 is so moved as to meet the next display picture element pitch. The densely formed Trs are coarsely and efficiently formed on the large-area display substrate by the repetition of the above-mentioned operations.



(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平6-118441

(43)公開日 平成6年(1994)4月28日

(51)Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F 1/136	5 0 0	9018-2K		
H 0 1 L 29/784		9056-4M	H 0 1 L 29/ 78	3 1 1 A

審査請求 未請求 請求項の数2(全 5 頁)

(21)出願番号 特願平3-350543

(22)出願日 平成3年(1991)11月5日

(71)出願人 592006914

加藤 忠信

京都府天田郡夜久野町千原-1291

(72)発明者 加藤 忠信

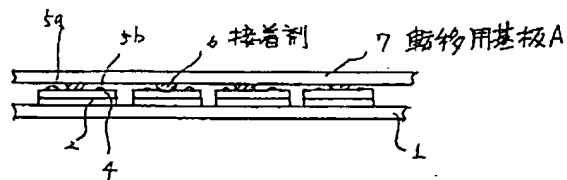
京都府天田郡夜久野町千原-1291

(54)【発明の名称】 表示セル

(57)【要約】

【目的】 各表示画素にT rを設けた大画面の表示セルを安価に供給可能にする発明である。

【構成】 ポリイミドのような高耐熱な高分子フィルム上に、各々独立したT rを密に形成し、そのT rを他の転写基板に接着した後、前述の高分子フィルムをエッチングで除去する、一方で大面積用の表示基板に各T rを結ぶリード線を形成しておく、この表示基板のリード線に対応する位置に、先のT rを電氣的に接続しながら転写する。密なT rは表示ピッチに合わせて転写され、転写基板次の表示画素ピッチに合うように移動させる。この繰り返しで密に形成されたT rを大面積な表示基板上に疎に、効率よく形成することが出来る。



転写用基板Aに保持した  
時の断面図

## 【特許請求の範囲】

(1) 液晶、EC等、光の透過、屈折、吸収等の特性を電氣的に制御出来る物質を対向する電極を設けた基板間に封じ、

該基板の一方にはトランジスタ、ダイオード等のアクティブ素子を各画素毎に形成し、各画素を電氣的に駆動する表示駆動基板を用いて表示を行う表示セルにおいて、前記アクティブ素子を、

予め表示信号、制御信号用の配線や、各画素透明電極の形成されている表示駆動用基板とは別の基板上に密に形成し、

該基板から前記アクティブ素子を個々に分離独立させ、前記表示駆動用基板上の各画素用アクティブ素子の位置に転移し、

各画素に該アクティブ素子を電氣的に接続付加して表示駆動基板とした表示セル。

(2) 前記アクティブ素子はポリイミド等の高耐熱性高分子基板上に、プラズマCVD等の低温プロセスを用いて、SiO<sub>2</sub>等のベース層を、個々のアクティブ素子に必要な面積単位にかつ、X、Y方向に一定のピッチで密に形成し、

該ベース層の上に、a-Si等の半導体層を積層し、該半導体層にP、S等を注入し、FET、ダイオード等のアクティブ素子を形成し、

さらに該素子と信号線、あるいは信号線、走査線、透明画素電極等と電氣的に接続するためのAl、Au等を用いた接続部を形成しスイッチング素子部とし、

該、X、Y方向に一定ピッチで密に形成されたスイッチング素子部をエッチング液によって犯され無い接着材、転移基板(フィルム)によって各スイッチング素子部を保持した後、

ポリイミド等のスイッチング素子部を形成した基板をエッチングして除去し、

転移基板上に各スイッチング部を分離、独立させ保持し、

表示駆動用基板のスイッチング素子を必要とする位置と前記基板上のスイッチング素子部を合わせて、合致する位置のスイッチング素子部を表示駆動用基板上に転移し、電氣的に接続し、

順次、表示駆動用基板上のスイッチング素子の位置と、転移用基板上のスイッチング素子部との位置を合わせて、表示駆動用基板上にスイッチング素子を転移形成した表示駆動基板を用いた特許請求の範囲第一項に記載の表示セル。

## 【発明の詳細な説明】

「産業上の利用分野」本発明は液晶やEC等を用いた平面表示装置の実現に関するもので、より大型のスクリーンを実現する表示装置の為の表示セルである。

「発明の概要」本発明はアクティブ素子を各表示電極にスイッチング素子として用いた表示セルにおいて、スイ

ッチング素子の形成を新しい方法により実現し、大画面の表示装置を歩留まり良く、安価に供給可能とした表示セルである。

「従来の技術及び問題点」従来、液晶等の表示装置の駆動方式にはアクティブ方式とパッシブ方式があり、画質の良さ、応答性等、表示特性は圧倒的にアクティブ方式が優っている。しかしこれまでその製造が非常に困難なため大画面の表示装置を実際には市場に供給出来なかった。アクティブ素子を用いて駆動をおこなう表示方式のセルの作成は、シャープ、日立、等多くのメーカーによって'70年代から半導体製造技術を基にさかんに開発されてきた。それらの表示セルは第9図に示したようにガラス基板10上に、一面にa-Si等の半導体を積層し、次にITOからなる各画素13を駆動するTrやダイオード等のアクティブスイッチング素子4を各画素を制御するための走査線12、信号線11に交差できる位置にのみ形成しそれ以外の位置の半導体層はエッチング等で除去し個々の画素を表示駆動する表示駆動基板を作成しセルに用いる方式である。このプロセスはフォトリソやエッチング、プラズマCVDなど半導体の製造に使用される技術を用いて行われる。この従来の方法では、ガラス基板上での全てのパターンの形成は最終的に用いる表示駆動基板の作成そのものなのでそのピッチで透明画素電極、配線、アクティブ素子が形成されるため、大面積の表示装置を製造しようとする、アクティブ素子を大面積のガラス上に、非常に疎に形成することになる。そのため均一な特性のアクティブ素子を欠陥なく大面積にわたって形成しなければならず、これが製造歩留まり向上の大きな阻害要因となり、同時にプロセスを大型化し投資額が巨大となり、今日に至るまで大型の平面表示パネルを商業レベルで提供できなかった理由である。上記のように従来の問題点は、アクティブ素子のスイッチング素子(以下スイッチング素子と称す)を大面積の中に非常に疎な密度で作成しようとしているため、特性の均一を実現する為に歩留まりが悪くなり、しかも大面積に対処出来る半導体プロセスが求められ製造装置は非常に高くなり、表示基板も非常に高くなって実用的でなかった。

「問題点を解決する為の手段と作用」上記のような問題点を解決するために、本発明はスイッチング素子を最終的に表示セルに使用する表示駆動基板と異なった別の基板上に、通常の半導体素子のように非常に密にX、Y方向に一定のピッチで形成し、それをエッチング等により個々に分離し、それを表示駆動基板上のスイッチング素子の位置に合うように表示駆動基板上に転移させる。従来、a-SiのTrを形成するには、平坦なガラス基板上に、IC製造に用いられる半導体プロセスをそのまま用いて、かなり高温のプラズマCVD等でシラン等からa-Siを形成し、それにP、S等をドーピングしていた。しかし今日ではa-Siの形成は400℃以下の低温

プロセスで可能となり、一方高分子の方もポリイミドのように高耐熱でしかも表面の均一なものが出るようになってきた。そこでこれらを有効に利用すると高密度に形成したTrを分離させて、大面積な基板に転移し大面積の表示基板を作成することが可能になってきた。第1図は本発明に用いる基板形成の説明図である。Aから順にEへとプロセスは進む。まず高耐熱のポリイミドをフィルム状1に形成し、その上にTrを形成するのに必要なSiO<sub>2</sub>等のベース層2を各画素のTrに必要な大きさにマスクを用いて個々独立に、しかもX、Y方向に一定のピッチで密にパターンニングし低温プロセスで積層する。次に、前記個々独立のベース層上にマスクしながら低温プラズマCVD等でa-Si<sub>3</sub>等を形成し、P、S等をドーブルFETやダイオード等、アクティブなスイッチング素子4をフォトリソ技術、薄膜形成技術を用いて形成する。個々のアクティブ素子4には三端子なら三端子分の電気的接続用の接続部5a、5b、5cをAl、Au等で積層する。二端子なら二端子分の接続部を設ける。第2図はスイッチング素子が多数、X、Y方向に一定のピッチP1、P2で密に形成されたポリイミドフィルムの部分平面図である。次にこの多数のスイッチング素子（電気的接続部も形成されたもの）が密に形成されたポリイミドフィルムをポリイミドのエッチング液に浸漬してポリイミド部を除去して各スイッチ素子を分離独立させるが、そのまま処理すると、分離された後のスイッチング素子を表示駆動用基板に整列させることは不可能になるためエッチング液に浸す前に、転移用基板A7に各スイッチング素子を接着する。この転移用基板Aと接着剤6はポリイミドのエッチング液には侵されないものを用いる。上記の処理を行った後に、ポリイミドをエッチングすると各スイッチング素子がX、Y方向に一定ピッチで分離独立させられる。第4図は転移用基板Aに保持されたスイッチング素子の断面図である。第5図は電気的接続用の接続部5a、5b、5cを表示用基板上に必要な位置に相対するように、もう一度転移用基板B8に転移させた場合の説明図である。接着剤9で保持されている。次に転移用の基板B上に保持されたスイッチング素子群の中で、表示駆動用基板10のスイッチング素子を必要としている位置に相対する位置にあるスイッチング素子群を転移基板Bから表示駆動用基板10の方に転移する。第7図にこの作業の説明をしている。表示用基板10上のスイッチング素子を必要とする位置に転移基板から移行させ電気的に接続をするためレーザー光14を照射して溶融接続させ、転移基板からの離脱は接着剤9を加熱して分離させる。転移基板上の密に保持されたスイッチング素子群は一回の転移作業で全てが転移されない。そのため転移基板、または表示駆動用基板を一定の距離だけX、Yの方向に移動させれば次のスイッチング素子群の必要とされる位置に動かせる。この作業を数回繰り返すことによって、転移基板上のスウィ

ッチング素子は全て表示駆動用基板上に必要な位置に転移され表示駆動基板20が形成される。転移基板からのスイッチング素子の離脱は接着剤の加熱、または他の適当な方法でなされる。このプロセスを繰り返すことにより大面積（4"以上）の表示パネルの製造コストは飛躍的に下がるとともに、いくらでも大きな面積の表示パネルを作成することが可能となる。

「実施例」第1図は本発明の表示セルを形成する基本要素である表示基板の形成ステップを示すプロセス説明図である。ポリイミドフィルム1の上にフォトリソによって個々のTr用ベース層SiO<sub>2</sub>を3000オームストロングの厚みで、70μm角に個々の間隔を20μm程度に決めて多数形成する。この場合、低温プラズマCVDによりSiO<sub>2</sub>を直接フィルム上に積層したが、この下にさらにフィルムとベース層との密着性を高めるためのコート層を設けても良い。形成されたベース層2を通常のパネル形成時のガラス基板だと捉えて、以下のプロセスを進める。ベース層の上に形成する半導体はa-SiだけでなくPoly-Siでも他の化合物半導体でもよい。但し、基板がポリイミドであるために低温プロセスで形成出来るものでなければならない。上記形成された半導体部にアクティブなスイッチング素子を作り込むために、P、S等を順次ドーブルしてFETやダイオード4を形成する。このアクティブ素子と信号線、走査線、画素電極との電気的な接続用に、接合部5a、5b、5c等がAuまたはAlで形成される。ここまで形成されたスイッチング素子部4を個々に分離、独立させる。これには高分子フィルムをエッチング液に浸して除去し、個々のスイッチング素子のみを取り出す。この場合はポリイミドのエッチャントを用い、分離、独立させたスイッチング素子を最終的に表示を行うガラス等からなる表示駆動用基板10上に転移付加して表示駆動基板20としなければならない。このように形成されたスイッチング素子を個々、分離独立させるためには、このままエッチングしてしまうと後処理が不可能になるので一部に穴等を設けたガラス基板、または金属基板、または高分子フィルムの素子位置にエッチングに侵されない一定の温度で溶解する接着剤6を設け各素子を接着しておく。このあと高分子フィルム1のエッチング液で形成基板を除去する。ここで始めて各スイッチング素子はそれぞれから独立する。第1図の方式で作成された場合、第5図のようにもう一度転移用基板Bにスイッチング素子を転移させ電気的接続部5a、5b、5cを表示駆動用基板の相対する面に合わせなければならない。この後は表示駆動基板20のスイッチング素子のピッチが140μmであれば一回の転移では全てのスイッチング素子の転移は出来ないためもう一度70μm移動させてお互いの位置を合わせて転移する。この場合表示駆動用基板10上には、予め信号線11、走査線12、ITO画素電極13が形成されている。第6図は表示駆動用基板の部分平面

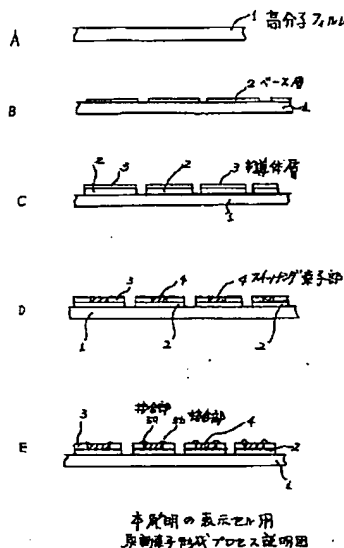
図である。11は信号線、12は走査線、13は画素電極である。この時、各Trと配線との電気的接続はYAGレーザによる加熱によって行った。さらにこのTrを固定剤17で固定することによって表示駆動基板20は出来上がる。パネルの面積が大きいときには、この転移の作業を繰り返す事によって、十分大きなパネルも製造可能となる。この様にして形成された表示駆動基板20と対向電極16及びカラーフィルターの形成された対向基板15の間に液晶を封じて表示セルが出来上がる。第10図は本発明の表示セルの部分断面図である。このプロセスでは2回の転移を必要としたが電気的接続部の位置を逆にするトランジスタ、ダイオードなどの形成により、一回の転移で済ませればより効率的な製造が可能となる。上記の説明ではフィルム基板をポリイミドとしてきたが、他の高耐熱高分子フィルムでも良い。「発明の効果」上記のようにして表示セルを製作することにより従来不可能であった対角20"以上の大面積平面表示装置を容易にしかも安価に作成することが可能となり、文化的、経済的意義は非常に大きい。

\*【図面の簡単な説明】

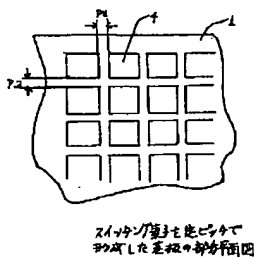
第1図は本発明の表示セル形成の主要プロセス説明図であり、第2図はスイッチング素子を定ピッチで形成した基板の部分平面図であり、第3図は転移用基板Aに保持した時の断面図であり、第4図は転移用基板Aに分離保持されたスイッチング素子群の断面図であり、第5図は転移用基板Bに分離保持されたスイッチング素子群の断面図であり、第6図は表示駆動用基板の部分平面図であり、第7図は表示駆動用基板へのスイッチング素子の転移説明図であり、第8図は一度転移作業をした後の転移用基板Bの断面図であり、第9図は本発明の表示駆動基板の部分平面図であり、第10図は本発明の表示セルの部分断面図である。

- |    |         |    |           |
|----|---------|----|-----------|
| 1  | 高分子フィルム | 2  | ベース層      |
| 3  | 半導体層    | 4  | スイッチング素子部 |
| 6  | 接着剤     |    |           |
| 7  | 転移用基板A  |    |           |
| 10 | 表示駆動用基板 | 11 | 信号線       |
| 12 | 走査線     | 13 | 画素電極      |

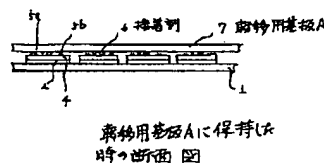
【第1図】



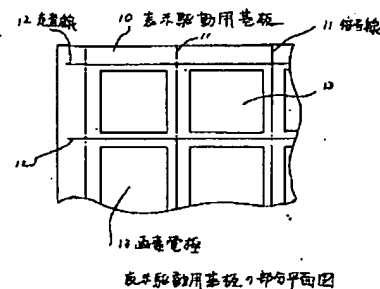
【第2図】



【第3図】



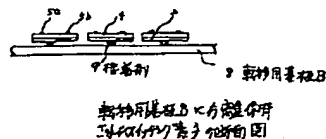
【第6図】



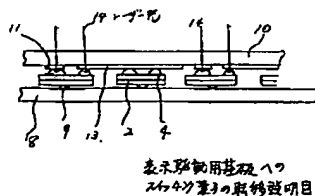
【第4図】



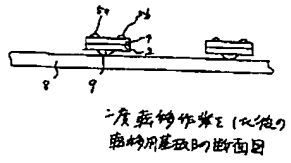
【第5図】



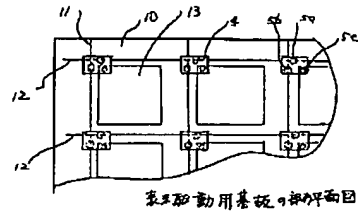
【第7図】



【第8図】



【第9図】



【第10図】

